

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-323053  
 (43)Date of publication of application : 04.12.1998

(51)Int.CI.

H02M 7/48  
H03L 7/14

(21)Application number : 09-143193  
 (22)Date of filing : 16.05.1997

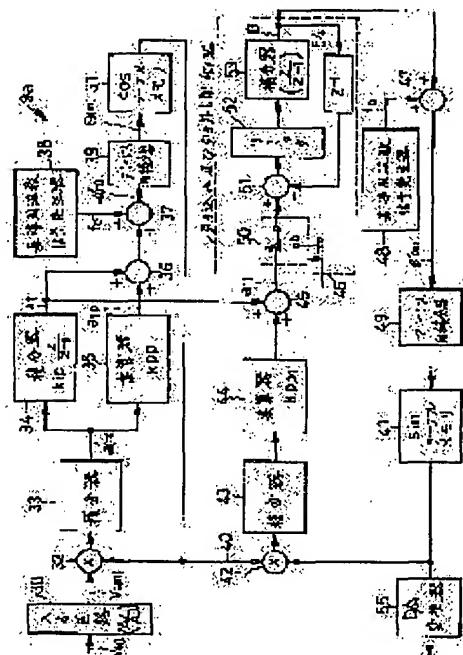
(71)Applicant : SANKEN ELECTRIC CO LTD  
 (72)Inventor : ITO YOICHI

## (54) PERIODIC SIGNAL CONTROLLER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a controller which is capable of, if the difference between the frequency of an input signal and a fixed frequency is large, eliminating the difference at a virtually constant frequency variation rate.

**SOLUTION:** A sine table memory 41 is provided, and sine data is read from the memory to obtain an output sine-wave signal in order to determine the output voltage waveform of an inverter. The frequency correction command value  $a_{11}$  corresponding to the difference between the frequency of a commercial alternating-current voltage and the output frequency, is found. The frequency correction command value  $a_{11}$  is limited through a limiter 52. When the frequency correction command value  $a_{11}$  is lower than the limit value of the limiter 52, sine data is read out without any change to the frequency correction command value  $a_{11}$  and taken as an amount  $\beta$  of frequency correction. When the frequency correction command value  $a_{11}$  is higher than the limit value of the limiter 52, the amount  $\beta$  of operation is varied with a constant gradient every sampling cycle.



## LEGAL STATUS

[Date of request for examination] 29.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3235651

[Date of registration] 28.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

(11)特許番号

特許第3235651号

(P 3 2 3 5 6 5 1)

(45)発行日 平成13年12月4日(2001.12.4)

(24)登録日 平成13年9月28日(2001.9.28)

(51)Int.Cl.

H02M 7/48  
H03L 7/14

識別記号

F I

H02M 7/48  
H03L 7/14

E  
A

請求項の数 6 (全15頁)

(21)出願番号 特願平9-143193

(22)出願日 平成9年5月16日(1997.5.16)

(65)公開番号 特開平10-323053

(43)公開日 平成10年12月4日(1998.12.4)  
審査請求日 平成10年6月29日(1998.6.29)

(73)特許権者 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 伊東 洋一

埼玉県新座市北野三丁目6番3号 サン  
ケン電気株式会社内

(74)代理人 100072154

弁理士 高野 則次

審査官 川端 修

(56)参考文献 特開 平7-58634 (JP, A)  
特開 平8-126228 (JP, A)  
特開 平9-19065 (JP, A)  
特開 平8-308248 (JP, A)

最終頁に続く

(54)【発明の名称】周期性信号制御装置

1

(57)【特許請求の範囲】

【請求項1】 周期性を有する入力信号に同期した周期性を有する出力信号と非同期の出力信号とを併せて発生することができるよう形成され且つ出力信号の周波数変化速度を制御することができるよう構成されている装置であって、

前記入力信号の周波数と前記出力信号の周波数との差に対応する周波数補正指令信号を作成するための周波数補正指令信号作成手段と、

前記出力信号を前記入力信号に同期させる時に前記周波数補正指令信号作成手段から得られた前記周波数補正指令信号を供給し、前記出力信号と前記入力信号との同期を解除する時に前記周波数補正指令信号の供給を停止するスイッチと、

減算手段とリミッタ手段と積分手段と遅延手段とを有

2

し、前記減算手段は前記スイッチの出力から前記遅延手段の出力を減算し、前記リミッタ手段は前記減算手段の出力を所定のレベル以下に制限し、前記積分手段は前記リミッタ手段の出力を積分し、前記遅延手段は前記積分手段の出力を遅延し、前記積分手段から修正された周波数補正指令信号を出力するように構成された修正周波数補正指令信号作成手段と、

前記出力信号の周波数を基準値にするための基準周波数指令信号を発生する基準周波数指令信号発生手段と、

前記基準周波数指令信号に前記修正された周波数補正指令信号を加算する加算手段と、  
前記加算手段から得られた前記基準周波数指令信号と前記修正された周波数補正指令信号との加算値に対応した周波数を有する前記出力信号を発生させるための出力信号発生手段とを備えていることを特徴とする周期性信号

## 制御装置。

【請求項2】 周期性を有する入力信号に同期した周期性を有する出力信号と非同期の出力信号とを択一的に発生することができるよう形成され且つ出力信号の周波数変化速度を制御することができるよう構成されている装置であって、

周期性を有する入力信号 ( $V_{msin} 2\pi f t$ ) を入力させるための入力手段と、

正弦波又は余弦波からなる周期性を有する参照信号 ( $\cos 2\pi \alpha t$ ) が格納された参照信号用メモリとこのメモリのアドレスを出力する第1のアドレス用積分手段とを有して前記参照信号用メモリから前記参照信号 ( $\cos 2\pi \alpha t$ ) を発生させるものであり、前記参照信号 ( $\cos 2\pi \alpha t$ ) の周波数 ( $\alpha$ ) を前記第1のアドレス用積分手段の入力 ( $\alpha'$ ) によって変えることができるよう構成された参照信号発生手段と、

前記入力信号 ( $V_{msin} 2\pi f t$ ) と前記参照信号 ( $\cos 2\pi \alpha t$ ) とを乗算する第1の乗算手段と、

前記第1の乗算手段から得られた出力 ( $V_{msin} 2\pi f t \cdot \cos 2\pi \alpha t$ ) を積分してフーリエ級数の余弦項又は正弦項の第1係数に相当する出力 ( $a_1$ ) を得る第1の積分手段と、

前記第1の積分手段から得られた出力 ( $a_1$ ) を積分して周波数補償量を示す出力 ( $\Delta f$ ) を得る第2の積分手段と、

前記第1の積分手段から得られた前記出力 ( $a_1$ ) に係数 ( $K_{pp}$ ) を乗算して位相補償を示す出力 ( $a_{1,0}$ ) を得る第2の乗算手段と、

一定の基準周波数 ( $f_0$ ) を得るための基準周波数指令信号を発生する基準周波数信号発生手段と、

前記第2の積分手段の前記出力 ( $\Delta f$ ) と前記第2の乗算手段の前記出力 ( $a_{1,0}$ ) と前記基準周波数指令信号発生手段の前記出力 ( $f_0$ ) との加算値に対応した第1のアドレス用出力 ( $\alpha' = f_0 + \Delta f + a_{1,0}$ ) を得、この第1のアドレス用出力 ( $\alpha'$ ) を前記第1のアドレス用積分手段に供給する第1の加算手段と、

正弦波又は余弦波からなる周期性を有する出力信号 ( $\sin 2\pi \beta_1 t$ ) が格納された出力用メモリとこのメモリのアドレスを出力する第2のアドレス用積分手段とを有して前記出力用メモリから前記出力信号を発生させるものであり、前記出力信号の周波数 ( $\beta_1$ ) を前記第2のアドレス用積分手段の入力 ( $\beta'$ ) によって変えることができるように形成された出力信号発生手段と、

前記参照信号発生手段の出力と前記出力信号とを乗算する第3の乗算手段と、

前記第3の乗算手段から得られた出力に対して前記第1の積分手段と同様な積分処理を施すための第3の積分手段と、

前記第3の積分手段から得られた出力に係数 ( $K_{pp1}$ ) を乗算して位相補償を示す出力を得る第4の乗算手段

と、

前記第2の積分手段の出力と前記第4の乗算手段の出力との加算によって周波数補正指令信号を得るための第3の加算手段と、

前記出力信号を前記入力信号に同期させる時に前記第3の加算手段から得られた前記周波数補正指令信号を供給し、前記出力信号と前記入力信号との同期を解除する時に前記周波数補正指令信号の供給を停止するスイッチと、

10 減算手段とリミッタ手段と第4の積分手段と遅延手段とを有し、前記減算手段は前記スイッチの出力から前記遅延手段の出力を減算し、前記リミッタ手段は前記減算手段の出力を所定のレベル以下に制限し、前記第4の積分手段は前記リミッタ手段の出力を積分し、前記遅延手段は前記第4の積分手段の出力を遅延し、前記第4の積分手段から修正された周波数補正指令信号を出力するよう構成された修正周波数補正指令信号作成手段と、

前記基準周波数指令信号発生手段又は別に設けた基準周波数指令信号発生手段から得られた前記基準周波数指令信号に前記修正された周波数補正指令信号を加算して第2のアドレス用出力 ( $\beta'$ ) を得、この第2のアドレス用出力 ( $\beta'$ ) を前記第2のアドレス用積分手段に供給する第4の加算手段とを備えていることを特徴とする周期性信号制御装置。

【請求項3】 前記入力信号は商用交流電源電圧又はこれに同期した信号であり、

前記出力信号はインバータの出力電圧波形を決定するためのインバータ制御用基準信号であることを特徴とする請求項1又は2記載の周期性信号制御装置。

30 【請求項4】 前記周期性信号制御装置の少なくとも一部がデジタル処理回路で形成されていることを特徴とする請求項1又は2又は3記載の周期性信号制御装置。

【請求項5】 前記スイッチを制御するために周波数異常判定手段が設けられており、この周波数異常判定手段は、前記第2の積分手段の出力の絶対値と基準電圧とを比較し、前記絶対値が前記基準電圧よりも高くなった時に同期を解除するよう前記スイッチを制御するものである請求項2記載の周期性信号制御装置。

40 【請求項6】 更に、前記入力信号を与えるための商用交流電源と、前記出力信号で制御されるインバータと、前記商用交流電源と前記インバータとを負荷に択一的に接続するためのスイッチと、前記インバータの出力電圧が前記商用交流電源の電圧に同期しているか否かを判定し、同期している時に前記インバータを前記負荷に接続するよう前記スイッチを制御する同期判定手段とを有し、

前記同期化判定手段が、

前記リミッタの入力の絶対値が前記リミッタの制限値 ( $f_a$ ) 以上か否かを判定するリミッタ入力判定手段と、

前記入力信号と前記出力信号との位相ずれを示す前記第3の積分手段(43)の出力(b1)が所定許容値( $\Delta\phi_{111}$ )よりも小さいか否かを判定する位相ずれ判定手段とを有し、前記絶対値が前記制限値(fa)以上の時及び前記第3の積分手段(43)の出力(b1)が所定許容値( $\Delta\phi_{111}$ )よりも小さくない時には非同期を示す出力を発生し、前記絶対値が前記制限値(fa)以上でなく且つ前記第3の積分手段(43)の出力(b1)が前記所定許容値( $\Delta\phi_{111}$ )よりも小さい時には同期を示す出力を発生するように構成されていることを特徴とする請求項2又は5記載の周期性信号制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、商用電源等の交流電源電圧に基準正弦波電圧を同期させる際、又は同期を解除する際の周波数変化速度の制御に好適な周期性信号制御装置に関する。

【0002】

【従来の技術】図1に概略的に示すインバータを含む電源装置は、商用交流電源1に接続された直流電源回路2と、この直流電源回路2から得られた直流電圧を交流電圧に変換するインバータ3と、スイッチ4を介してインバータ3に接続された交流負荷5とを備えている。インバータ3は出力電圧を安定化する機能を有して直流を交流に変換し、安定化された交流電圧を負荷に供給する。また、直流電源回路2は整流回路と蓄電池又はコンデンサの補助電源を有してインバータ3に電力を供給する。ところで、インバータ3が故障した時の負荷5に対する電力供給の中断を防ぐことが要求される。このために図1の回路は、インバータ異常検出回路6及びスイッチ制御回路7を有する。スイッチ制御回路7はインバータ異常検出回路6の異常検出に応答してスイッチ4の接点aをオフにしてインバータ3を負荷5から切り離し、この代りにスイッチ4の接点bをオンにして負荷5をスイッチ4の接点bを介して商用交流電源1に接続する。また、インバータ3と商用電源との切換時の周波数変動及び位相ずれを抑えるために商用交流電源1とインバータ3の制御回路との間にスイッチ8を介して同期化回路9が接続されている。スイッチ8は商用交流電源の正常時には接点aを介して同期化回路9に商用交流電圧を供給し、商用電源異常時には正常時の商用交流電圧の周波数と同一周波数の固定周波数信号を接点bを介して同期化回路9に供給する。商用交流電源1の異常を判定するために商用周波数異常判定回路11が商用交流電源1に接続され、異常判定時にスイッチ8を接点aからbに切換えて同期を解除する。同期化判定回路12はインバータ3の運転開始時においてインバータ3の出力電圧が商用交流電圧に同期しているか否かを同期化回路9の状態に基づいて判定するものであり、同期を判定している時にスイッチ制御回路7にスイッチ4の接点bをaに切換え

ることが可能であることを示すを信号を与える。

【0003】図2は図1の従来の同期化回路9及びインバータ3を概略的に示す。インバータ3は同期化回路9に接続されたインバータ制御回路13と変換回路14とを有する。変換回路14は複数個のスイッチS1、S2、S3、S4を含み、図1に示した電源回路2から与えられた直流電圧を断続して正弦波交流電圧を出力する。図2には変換回路として2相のプリッジインバータ回路が示されているが、勿論6個のスイッチから成る3相プリッジ型インバータにすることもできる。インバータ制御回路13は、変換回路14のスイッチS1～S4をオン・オフするための制御信号を形成する。また、制御回路13は変換回路14の出力電圧を一定にするようにパルス幅が制御されたPWM信号を制御信号として出力し、また、商用交流電源1の電圧に同期した交流電圧が変換回路14から得られるように制御信号を形成する。

【0004】同期化回路9は基準正弦波発生装置と呼ぶこともできるものであって、PLL(フェーズ・ロックド・ループ)の原理を利用して構成されており、入力回路15と、2つのエッジ検出回路16、17と、位相比較器18と、比例積分補償器(PI補償器)として機能するフィルタ19と、バイアス電源20と、加算回路21と、V/F(電圧・周波数)変換器22と、カウンタ23と、sin(正弦波)テーブルメモリ24と、D/A(デジタル・アナログ)変換器25とから成る。入力回路15は商用交流電源1の波形Aで示される正弦波交流電圧Vs(t)を入力させるための回路である。第1のエッジ検出回路16は正弦波交流電圧Vs(t)を方形波に波形整形するか、又は零点を検出し、位相を示す波形Bを得るものである。第2のエッジ検出回路17は、この基準正弦波発生装置の出力正弦波Cを方形波に波形整形するか又は零点を検出して位相を示す波形Dを得るものである。位相比較器18は2つの入力波形B、Dの位相差に対応するパルス状の波形Eを形成する回路である。フィルタ19は波形Eを平滑して波形F1又はF2に示すような出力を得るものであり、PI(比例積分)補償器と呼ばれるものである。加算回路21はフィルタ19から得られた位相差を示す直流電圧V1にバイアス電圧V2を加算し、これをV/F変換器22に供給するものである。V/F変換器22は例えばVCO(電圧制御発振器)から成り、入力電圧に対応した周波数信号Gを出力するものである。カウンタ23は第1のエッジ検出回路16又は第2のエッジ検出回路17の出力に応答してリセットされ、周波数信号Gを計数し、アナログ類似で示す出力Hを発生するものであり、アドレスカウンタとして機能するものである。sinテーブルメモリ24は、正弦波データが格納されたメモリであって、カウンタ23の出力でアドレス指定されて正弦波データを順次に出力するものである。D/A変換器25はメモ

リ24の出力をアナログ信号に変換して基準正弦波Cを得るものであり、この出力はインバータ制御回路13に送られると共に第2のエッジ検出器17に送られる。

## 【0005】

【発明が解決しようとする課題】ところで、商用交流電源1に同期させてインバータ3を運転している時に商用交流電源1に異常が生じた時には、図1のスイッチ8の接点aをオフし、接点bをオンにし、同期化回路9を商用交流電源1から切離し、固定発振器10を同期化回路9に接続する。この時、同期運転の停止前の商用交流電圧の周波数と同期運転停止後の固定発振器10の出力周波数（自走周波数）との間に差があれば、図2のフィルタ19の出力波形F1又はF2に従って同期化回路9の出力周波数（インバータ基準周波数）が変化し、これに応じてインバータ3の出力周波数も変化する。フィルタ19の出力波形はこのゲインによって変化し、波形F1又はF2のようになり、直線的に上昇しない。この結果、同期化回路9の出力周波数及びインバータ3の出力周波数は直線的に変化しない。このため、インバータ3の出力周波数の変化速度を例えば0.5Hz/secにすることが要求されても、正確にこれを満足させることができない。上述のような問題は同期運転を開始する場合にも生じる。即ち、図1においてスイッチ8によって固定発振器10の出力から商用交流電源1の電圧に切換える時に両者の周波数差があれば同期運転停止時と同様な問題が生じる。なお、同期化回路9の出力周波数をステップ上に急激に目標周波数にジャンプさせると、過渡期間にインバータ3から正弦波出力電圧を得ることが不可能になる。また、図2の同期化回路9では位相比較器18にパルスを入力させるので、ノイズによって誤動作しやすかった。また、ソフトウェアで同期化出力（基準波形）を得ることができず、全体としてコスト高になり、且つ高精度化が困難であった。

【0006】そこで、本発明の目的は、入力信号の周波数と固定周波数との差が大きい場合にこの差を実質的に一定の周波数変化速度で解消させることができる制御装置を提供することにある。

## 【0007】

【課題を解決するための手段】上記課題を解決し、上記目的を達成するための本発明は、周期性を有する入力信号に同期した周期性を有する出力信号と非同期の出力信号とを択一的に発生することができるよう形成され且つ出力信号の周波数変化速度を制御することができるよう構成されている装置であって、前記入力信号の周波数と前記出力信号の周波数との差に対応する周波数補正指令信号を作成するための周波数補正指令信号作成手段と、前記出力信号を前記入力信号に同期させる時に前記周波数補正指令信号作成手段から得られた前記周波数補正指令信号を供給し、前記出力信号と前記入力信号との同期を解除する時に前記周波数補正指令信号の供給を停

止するスイッチと、減算手段とリミッタ手段と積分手段と遅延手段とを有し、前記減算手段は前記スイッチの出力から前記遅延手段の出力を減算し、前記リミッタ手段は前記減算手段の出力を所定のレベル以下に制限し、前記積分手段は前記リミッタ手段の出力を積分し、前記遅延手段は前記積分手段の出力を遅延し、前記積分手段から修正された周波数補正指令信号を出力するように構成された修正周波数補正指令信号作成手段と、前記出力信号の周波数を基準値にするための基準周波数指令信号を発生する基準周波数指令信号発生手段と、前記基準周波数指令信号に前記修正された周波数補正指令信号を加算する加算手段と、前記加算手段から得られた前記基準周波数指令信号と前記修正された周波数補正指令信号との加算値に対応した周波数を有する前記出力信号を発生させるための出力信号発生手段とを備えていることを特徴とする周期性信号制御装置に係わるものである。なお、周波数補正指令信号作成手段を、請求項2に示すように形成することが望ましい。また、請求項3に示すように入力信号を商用交流電圧又はこれに同期した信号とし、出力信号をインバータ制御用基準信号とすることができる。また、請求項4に示すように周期性信号制御装置の少なくとも一部をデジタル処理回路で形成することができる。また、請求項5に示す周波数異常判定を第2の積分手段の出力を使用して行うことができる。また請求項6に示すように同期判定をリミッタの入力及び第3の積分器の出力に基づいて行うことができる。

## 【0008】

【発明の作用及び効果】各請求項の発明によれば、リミッタ手段が設けられているので、スイッチをオンにした時に周波数補正指令信号が大きい場合にはそのまま補正が実行されず、リミッタ手段で制限されて補正される。即ち、リミッタ手段における制限値を一定に保っておくと、1回の補正動作（1サンプリング期間の補正動作）での補正量は一定となり、複数回の補正動作によって一定補正量の補正が複数回生じ、出力周波数は一定の傾きを有して変化する。この結果、物理的な意味が明確なりリミッタ手段の制限値によって周波数変化速度を正確に一定にできる。スイッチをオフにして周波数補正指令信号を遮断した時には、積分手段及び遅延手段に保持されている信号が巡回し、修正された補正指令値が一定の速度で徐々に低下し、出力周波数は基準周波数（自走周波数）に一定変化速度で近づく。また、リミッタ手段における制限値の変更によって周波数変化速度を容易に変更することができる。また、各請求項の発明によれば、減算手段と積分手段、又は乗算手段と加算手段と減算手段と積分手段とで同期化した周波数信号を形成するので、従来のエッジ検出器及び比較器を使用するものに比べてノイズによる妨害が少なくなる。また、請求項3によれば、インバータの商用交流電源に対する同期運転及びこの解除を円滑に達成することが可能となる。

また、請求項4の発明によれば、ソフトウェア処理によって同期及び同期解除を容易に達成することができる。また、請求項5の発明によれば周波数異常判定を容易に達成することができる。また、請求項6の発明によれば同期判定を容易に行うことができる。

## 【0009】

【実施例】次に、図3～図18を参照して本発明の実施例に係わるインバータを含む電源装置及びこの同期化回路を説明する。但し、図3において図1と実質的に同一の部分には同一の符号を付してその説明を省略する。図3において同期化回路9a、商用周波数異常判定回路11a、及び同期判定回路12aは図1の同期化回路9、商用周波数異常判定回路11、及び同期判定回路12と同様な目的に使用されているが、これ等の構成は図1のものと相違している。また、図1のスイッチ8及び固定発振器10に相当するものは図3において同期化回路9aの中に設けられている。従って、図3において、同期化回路9aは商用交流電源1に直接に接続されている。また、商用周波数異常判定回路11aは同期化回路9aの中の信号に基づいて商用周波数の異常を判定し、この出力を同期化回路9aに送るように構成されている。

【0010】図4は図3の同期化回路9aを詳しく示すものである。この同期化回路9aは図2の従来の同期化回路9と同様にインバータ3のインバータ制御回路13で使用するための正弦波信号を形成するものであり、図4の上半分のcos制御器と下半分のsin制御器とかなる。cos制御器は入力信号に同期したcos信号を形成するためのものであって、入力回路30とROMから成るcosテーブルメモリ31と、第1の乗算器32と、第1の積分器33と、第2の積分器34と、第2の乗算器35と、第1の加算器36と、第2の加算器37と、第1の基準信号発生器38と、第1の adres用積分器(積分手段)39とから成る。sin制御器は、cos信号に同期したsin信号を形成するためのものであって、cos制御器のcosテーブルメモリ31の出力を受け入れるライン40と、ROMから成るsinテーブルメモリ41と、第3の乗算器42と、第3の積分器43と、第4の乗算器44と、第3の加算器45と、引き込み及び引き外し制御器46と、第4の加算器47と第2の基準周波数信号発生器48と、第2の adres用積分器49と、出力D/A変換回路55とから成る。なお、引き込み及び引き外し制御器46はスイッチ50、減算器51、リミッタ52、第4の積分器53、1サンプル遅延回路54とから成る。cos制御器及びsin制御器から成る同期化回路9aはCPU、RAM、ROMを含むマイクロコンピュータで構成されている。従って、図3はマイクロコンピュータの等価回路図又は機能ブロック図である。

【0011】cos制御器の動作概要は、次のようになる。 adres用積分器39とcosテーブルメモリ31

とでcos信号を発生させる。cos信号の周波数 $\alpha$ は adres用積分器39の入力 $\alpha'$ に比例する。入力回路30から入ってきた入力信号とcos信号を用いてフーリエ級数の余弦項第1係数 $a_1$ を第1の乗算器32と第1の積分器33とによって求める。この $a_1$ はcos信号と入力信号との位相差の関数となるので、 $a_1$ が零に収束するように、線形制御理論で使われる比例-積分補償器を用い、cos信号の周波数を自動調整する。この補償器は第2の積分器34と第2の乗算器35で構成される。これら補償器の出力( $a_{11}$ と $\Delta f$ )は、第1の加算器36で加算され、この出力に更に第2の加算器37で基準周波数信号 $f_0$ が加算され、 $\alpha'(n) = \Delta f + a_{11} + f_0$ が第1の adres用積分器39に入力する。 adres用積分器39は周波数指令 $\alpha'(n)$ に従う速度でcosテーブルメモリ31のデータを読み出すための adres信号 $\theta(n)$ を出力する。cosテーブルメモリ31から読み出されたcos信号は第1の乗算器32に帰還されると同時にsin制御器の第3の乗算器42に入力する。次に、cos制御器の各ブロックを更に詳しく説明する。

【0012】入力回路30は、例えば50Hzの正弦波交流電圧(商用交流電圧)から成る周期性を有する入力信号 $V_s(t) = V_m \sin 2\pi ft$ (ここで、 $V_m$ は最大振幅、 $f$ は周波数、 $t$ は時間を示す。)を所定のサンプリング周期 $T_s$ でサンプリングし、これをアナログ・デジタル変換して $V_s(n) = V_m \sin \omega_1 n T_s$ (ここで $\omega_1 = 2\pi f$ 、 $n = 0, 1, 2, \dots$ )を送出するものである。なお、ここでは入力信号 $V_s(t)$ を正弦波から成る基本波のみで示しているが、実際にはノイズ及び高調波成分が混入してひずみ波交流になることがある。

【0013】cos(余弦波)テーブルメモリ31は、余弦波データのテーブルが格納されたリード・オンリー・メモリ(ROM)であり、読み出しアドレス $\theta(n)$ の指定に従ってcos信号 $V_r(n) = \cos \omega_a n T_s$ (ここで、 $\omega_a = 2\pi \alpha$ 、 $\alpha$ はcos信号の周波数)から成る $\cos \theta(n)$ のデータを出力する。読み出しアドレス $\theta(n)$ は位相量に相当し、その変化量(微分量)はcos信号の周波数となる。ここでは、cosデータの代りに、正弦波を90度シフトした波形に対応する正弦波 $\sin \theta$ のデータをROMに格納させてもよい。この実施例では余弦波の360度区間が2048分割され、2048個の標本(データ)がROMに格納されている。例えばアドレス $\theta(n) = 0$ を指定すると $\cos 0^\circ = 1$ を示すデータがROMから出力され、またアドレス $\theta(n) = 512$ を指定すると $\cos 90^\circ = 0$ を示すデータが出力される。なお、ROMに余弦波の90度から450度に相当するデータ即ち正弦波(sin)のデータを格納することもできる。この場合にはアドレス0を指定すると、 $\sin 0^\circ = 0$ のデータがROMから出力さ

れ、アドレス512を指定すると、 $\sin 90^\circ = 1$  のデータが outputされる。アドレス手段としてのアドレス用積分器39はパルス伝達関数  $K_z / (Z - 1)$  で示される積分器と等価なものであり、周波数量として入力される  $\alpha' (n)$  を位相量  $\theta (n)$  に変換する。前述したように位相の微分が周波数なので、周波数の積分が位相となる。従って、 $\alpha' (n)$  を積分して  $\theta (n)$  を求めることができる。 $\alpha' (n)$  値が大きくなると（周波数が高くなると） $\theta (n)$  の傾きは急になる。 $\alpha' (n)$  の値を調整することにより、cos信号  $V_r (n)$  の周波数を変えることができる。実際、アドレス用積分器39では、アドレス  $\theta (n)$  は次の式で  $T_s = 256 \mu\text{sec}$  每に演算されている。

$$\theta (n) = \theta (n-1) + \alpha'$$

ここで、nはサンプリング時点を示す序数である。 $\theta (n-1)$  は1つ前のサンプリング時点のアドレスを示す。cos信号の周波数  $\alpha$  を50Hzとしたい場合  $\alpha'$  は次のように計算できる。

$$a_1 = (2/T_{sp}) \int_0^{T_{sp}} V_s (t) \cdot \cos \omega_a t dt \quad (1)$$

$$\text{但し、} T_{sp} = 1/\alpha$$

【0017】この式(1)は、フーリエ級数の余弦項の係数  $a_k$  を求める式において  $a_k$  のkを1にした場合に相当する。余弦項及び係数  $a_k$  の式を次に示す。

【0018】

【数2】

$$\sum_{k=0}^{\infty} a_k \cos n \omega t$$

$$a_k = (1/\pi) \int_0^{2\pi} y(x) \cos nx dx$$

【0019】第1の積分器33をパルスに伝達関数で示すと  $K_z / (Z - 1)$  になる。 $a_1$  の値は入力信号  $V_s$  と cos 信号  $V_r$  との位相差  $\phi$  の関数となる。ここで、 $V_s = V_m \sin(\omega_a t + \phi)$  とし、これを式(1)に代入して計算すると、

$$a_1 = V_m \cos \phi$$

となり、 $a_1$  は、位相差の余弦関数となることがわかる。以下、位相差が  $90^\circ$ 、 $0^\circ$ 、 $180^\circ$  の時の  $a_1$  の波形例を示す。

【0020】図6(A)に示す入力信号  $V_s (t)$  と図6(B)に示す cos 信号  $V_r (t)$  とが同一周波数で  $90^\circ$  の位相差を有する時には、第1の乗算器32の出力  $V_0 (t)$  が図6(C)に示すように周波数  $2\omega_a$  の正弦波となり、図6(C)の乗算出力  $V_0 (t)$  を0から  $2\pi$ まで定積分した出力  $a_1$  は零となる。

【0021】入力信号  $V_s (t)$  と cos 信号  $V_r$

$$\alpha' = 2048 T_s 50 = 26.44$$

前述の  $\theta (n)$  の式に従い  $T_s$  周期毎に  $\theta (n-1)$  に  $26.44$  を加えていくと、 $20\text{ msec}$  ( $1/50\text{ Hz}$ ) 後に  $\theta (n-1)$  は余弦波データの一周期のアドレスである  $2048$  となる。 $\alpha'$  を  $26.44$  より大きくすれば、 $20\text{ msec}$  より前に  $\theta = 2048$  になるので、周波数が高くなる。 $\alpha'$  を  $26.44$  より小さくすれば、 $20\text{ msec}$  より後に  $\theta = 2048$  になるので、周波数が低くなる。

10 【0014】第1の乗算手段としての第1の乗算器32は入力信号  $V_s (n)$  と cos 信号  $V_r (n)$  とを乗算して  $V_s (n) \cdot V_r (n)$  の出力  $V_0 (n)$  を得るものである。

【0015】第1の積分手段としての積分器33は、第1の乗算器32の出力を定積分して次の式(1)を求めるものである。

【0016】

【数1】

(t) とが図7(A) (B) に示すように同一周波数且つ同一位相の場合には、第1の乗算器32の出力  $V_0 (t)$  は図7(C)に示すように周波数  $2\omega_a$  を有し、最小値が零の正弦波となり、これを  $0 \sim 2\pi$  区間で第1の積分器33で定積分した出力  $a_1$  は図7(D)に示すように正の値 (cos信号の最大値が1の場合は入力信号の最大値  $V_m$ ) となる。

【0022】入力信号  $V_s (t)$  と cos 信号  $V_r (t)$  とが図8(A) (B) に示すように互いに周波数が同一で逆相の場合には、第1の乗算器32の出力  $V_0 (t)$  は図8(C)に示すように周波数  $2\omega_a$  を有し、最大値が零の正弦波となる。従って、図8(C)の波形を第1の積分器33で  $0 \sim 2\pi$  区間で定積分すると、図8(D)に示す負の値の出力  $a_1$  が得られる。なお、入力信号  $V_s$  と cos 信号  $V_r$  との間に周波数の相違がある場合つまり両者の位相差が時間的に変化した場合には、

40 第1の積分器33の出力は  $a_1 (n) V_m \cos(2\pi \Delta f t)$  となり時間的に変化する。

【0023】入力信号  $V_s (n)$  と cos 信号  $V_r (n)$  とを図6(A) (B) に示す位相差  $90^\circ$  の同期状態として  $a_1$  の値を零に収束させるためには cos テーブルメモリ31の読み出し速度(周波数)を操作する必要がある。本実施例では  $a_1$  を自動的に零にするために線形制御系のフィードバック自動制御でよく使われる比例-積分(PI)補償器を使用する。第2の積分手段としての第2の積分器34はパルス伝達関数  $K_z / (Z - 1)$  で示される積分補償器であって周波数差を補償する

50

ためのものである。第2の乗算器35は比例補償器であって位相差を補償するものである。

【0024】第2の積分手段としての積分器34は $a_1$ が時間的に変化した場合( $V_r$ と $V_s$ とに周波数差があ

$$\Delta f(n) = \Delta f(n-1) + K_{1p} \cdot a_1(n)$$

この式(2)において $\Delta f(n-1)$ は1つ前のサンプリング時点の第2の積分器34の出力であり、 $K_{1p} \cdot a_1(n)$ は現在の $a_1$ の値にゲイン $K_{1p}$ を乗算したものである。従って、ある時点で図6に示す状態が成立して $a_1$ が零になっても $\Delta f(n)$ 即ち $\Delta f$ は零にならないで一定値になる。 $a_1$ が零時の第2の積分器34の出力 $\Delta f$ は入力信号 $V_s(n)$ の基本波周波数 $f$ と基準周波数信号 $f_0$ との差に比例した値である。

【0025】第2の乗算手段としての乗算器35は位相補償量を示す出力 $a_{1p}$ を得るものであって、ゲインが $K_{pp}$ の増幅器と呼ぶこともできるものであり、次の式(3)の演算を実行するように形成される。

$$a_{1p}(n) = K_{pp} \cdot a_1(n)$$

即ち、第2の乗算器35は第1の積分器33の出力 $a_1$ に係数 $K_{pp}$ を乗算した値を出力する。従って、図4の状態の場合には第2の乗算器35の出力 $a_{1p}$ は零となる。線形制御系と同じように、この比例補償器はフィードバック系の安定性と速応性を改善する役割をはたしている。なお、図6に示す状態では $a_{1p}$ は零となる。 $\cos$ 信号 $V_r(t)$ の周波数及び位相は前述した第2の積分器34の出力 $\Delta f$ とゲイン乗算器35の出力 $a_{1p}$ によつ

$$\alpha'(n) = \Delta f(n) + a_{1p}(n)$$

(4)式の $\alpha'(n)$ は周波数指令値としてアドレス用積分器39に送られ、アドレス用積分器39は周波数指令値に対応した速度でアドレス信号 $\theta(n)$ を出力する。

【0027】基準周波数信号発生器38は、入力信号 $V_s(t)$ の基本波周波数 $f$ と同一又は近い基準周波数(例えば50Hz) $f_0$ を示す信号を発生するものである。

【0028】図4の下半分のsin制御器におけるsinテーブルメモリ41、第3の乗算器42、第3の積分器43、第4の乗算器44、第3の加算器45、第4の加算器47、基準周波数信号発生器48、及び第2のアドレス用積分器49は、上半分のcos制御器におけるcosテーブルメモリ31、第1の乗算器32、第1の積分器33、第2の乗算器35、第1の加算器36、第2の加算器37、基準周波数信号発生器38、及び第1のアドレス用積分器39とそれぞれ同様な機能を有するものである。即ち、下半分のsin制御器は第3の乗算器42の一方の入力をcosテーブルメモリ31の出力としている点、第3の加算器45に第2の積分器34の出力を入力させている点、引き込み及び引き外し制御器46を設けた点で上半分のcos制御器と相違し、その他はcos制御器と実質的に同一である。従って、si

る場合)でも $a_1$ を零に収束させるためにあり、周波数補償量を示す出力 $\Delta f$ を得るものである。ソフトウェアで作る場合には次の式(2)に従う処理を実行するようになる。

$$(2)$$

て操作される。 $\Delta f$ と $a_{1p}$ との加算値が1の場合、 $1/2048Ts = 1.9073Hz$ だけ周波数が高くなり、 $\alpha$ は $51.9073Hz$ になる。 $\Delta f$ と $a_{1p}$ との加算値が負の場合は周波数 $\alpha$ は $1.9073Hz$ 低下し、 $48.01927Hz$ となる。なお、 $1/2048Ts = 1.9073$ は次のようにして求められる。

$$\Delta f + a_{1p} = 1$$

同期中は $a_{1p} = 0$ であるから $\Delta f = 1$

$$\Delta f / (2048.Ts)$$

$$= (2048.Ts)$$

上述から明らかなように基本周波数50Hzを中心にcos信号 $V_r(t)$ の周波数 $\alpha$ を上下させることができくなる。

【0026】第1の加算手段として第1及び第2の加算器36、37が設けられている。第1の加算器36は積分器34の出力 $\Delta f$ と積分器35の出力 $a_{1p}$ を加算し、補正指令信号を得るものである。第2の加算器37は第1の加算器36の出力と基準周波数信号発生器38の出力 $f_0$ とを加算し、次の(4)式の周波数指令信号を得るものである。

$$(n) + f_0(n) \quad (4)$$

n制御器の内でcos制御器と実質的に同一の部分の詳しい説明を省略する。

【0029】出力周波数信号発生手段としてのsinテーブルメモリ41は、正弦波信号(データ)を格納したものであって、第2のアドレス用積分器49のアドレス指定に従って正弦波信号 $\sin 2\pi\beta_1 t$ を出力信号として出力するものであり、アドレス指定の速度を変えることによって出力信号(正弦波信号)の周波数 $\beta_1$ を変えることができるよう形成されている。

【0030】第3の乗算手段としての乗算器42はcosテーブルメモリ31から得られたライン40の参照信号とsinテーブルメモリ41から得られた出力信号とを乗算して第1の乗算器32の出力と同様な内容を含む出力を得るものである。なお、ライン40の参照信号は入力信号(商用交流電圧)に同期した信号である。

【0031】第3の積分手段としての積分器43は、第1の積分器33と同様な積分処理を乗算器42の出力に施すものである。

【0032】第4の乗算手段としての乗算器44は積分器43の出力に基づいて乗算器35と同様に位相補償量を求めるものである。

【0033】第2の加算手段としての加算器45は、第2の積分器34の出力 $\Delta f$ と乗算器44の出力(位相補

償量)とを加算して周波数補正指令値即ち周波数調整量  $a_{11}$ を得るものである。従って、第3の加算器45及びこの入力側の回路手段を周波数補正指令信号作成手段と呼ぶことができる。

【0034】図4の同期化回路9aにおいては、第3の加算器45から得られた周波数補正指令値  $a_{11}$ をそのまま第4の加算器47に供給しないで、引き込み及び引き外し制御器46で修正して供給する。引き込み及び引き外し制御器46のスイッチ50の接点aは加算器45に接続され、接点bはグランドに接続され、共通出力端子は減算手段としての減算器51に接続されている。スイッチ50は図3の商用周波数異常判定回路11aの出力で制御され、sinテーブルメモリ41から出力させる出力周波数信号を入力周波数信号(商用交流電圧)に同期させる時に接点aがオンになり、出力周波数信号と入力周波数信号との同期を解除する時に接点bがオンになるものである。なお、出力周波数信号を入力周波数信号に同期させるか否かを決定するための商用周波数異常判定回路11aは図5に示すように絶対値回路60と基準電圧源61と電圧コンバーティ62とから成る。絶対値回路60は図4の第2の積分回路34に接続されており、周波数補正指令値  $\Delta f$  の絶対値を検出する。コンバーティ62は絶対値回路60の出力と基準電圧源61の電圧とを比較し、絶対値が基準電圧よりも大きくなった時に同期解除を示す出力を発生し、図4のスイッチ50の接点aをオフ、接点bをオンにする。また、絶対値が基準電圧よりも小さい時には同期を示す出力を発生し、図4のスイッチ50の接点aをオンにし、接点bをオフにする。周波数補正指令値は基準周波数信号発生器38の基準周波数  $f_0$  即ち固定の自走周波数と入力周波数との差に対応しているので、コンバーティ62は入力周波数の変化分を監視することになる。

【0035】図4の減算回路51は1サンプリング周期  $T_s$ だけ前に積分器53から得られた修正周波数補正指令値(周波数補正操作量)を周波数補正指令値から減算し、補正残量を示す値を出力する。

【0036】リミッタ52は、図16に示すように正の制限値  $+fa$  と負の制限値  $-fa$  とで周波数補正指令値(補正周波数  $f$ )を制限するものである。従って、周波数補正指令値が大きい場合にはこれがそのまま出力されずに制限レベル  $fa$  又は  $-fa$  の値が出力される。積分器53はリミッタ52の出力を積分するものであつて、この出力は第3の加算手段としての第4の加算器47に送られる。なお、制限値  $fa$ 、 $-fa$  を変えることができるようにリミッタ52は構成されている。引き込み及び引き外し制御器46の動作の詳細は後述する。

【0037】引き込み及び引き外し制御器46から得られた修正された周波数補正指令値  $\beta$  は第3の加算手段としての第4の加算器47に入力し、第2の基準周波数信号発生器48から得られた基準周波数信号  $f_0$  に加算さ

れる。第2の基準周波数信号発生器48は第1の基準周波数信号発生器38と同一の周波数  $f_0$  (50Hz)の指令信号を発生するものであるから、第1及び第2の基準周波数発生器48を省いていざれか一方を共用することができる。加算器47の出力はsinテーブルメモリ41から出力される周波数信号の周波数を決定する情報である。第2のアドレス用積分器49は第1のアドレス用積分器39と同様な機能を有するものであり、加算器47の出力に基づいてsinテーブルメモリ41のアドレスを指定する。

【0038】次に、引き込み及び引き外し制御器46の動作を図9～図18を参照して説明する。図9は入力周波数信号と出力周波数信号との比較的大きな周波数差を解消する場合の周波数補正指令値  $a_{11}$  に対応した修正補正指令値(周波数操作量)  $\beta$  の理想的な変化を示す。このように周波数操作量  $\beta$  が直線的に徐々に変化すると、一定の周波数変化速度を正確に得ることができ、出力周波数が円滑に変化するので、インバータ3の出力周波数も円滑に変化し、且つインバータ3の出力波形を近似正弦波に保つことができる。

【0039】図4の引き込み及び引き外し制御器46の変形として、もしもスイッチ50のみの制御器46aを図10に示すように設けると、周波数操作量  $\beta$  が図11に示すようにステップ状に変化し、円滑な制御が不可能になる。

【0040】また、図12に示すようにスイッチ50の出力段にローパスフィルタ(LPF)を設けた引き込み及び引き外し制御器46bを設けると、図13に示すように時定数を有して変化する周波数操作量  $\beta$  が得られる。しかし、所定の周波数を得るまでの所要時間が長くなるばかりでなく、図9に示すように直線的に周波数操作量  $\beta$  を変化させることができない。

【0041】図14は図12のローパスフィルタ56を変形したフィルタ56aを有する引き込み及び引き外し制御器46cを示す。ここでローパスフィルタ56aは本実施例に従う加算器51、積分器53、及び遅延回路54の他にゲインK1、K2を乗算する第1及び第2の係数器57、58が設けられている。図14の制御器46cにおいては1サンプリング周期  $T_s$  毎に処理が実行されるので、図13の  $\beta$  を段階的に増大させる特性が得られる。しかし、図14においても  $\beta$  は直線的に増大しない。

【0042】図15は図14にリミッタ52を本実施例と同様に付加したものである。図15の引き込み及び引き外し制御器46dにおいては、 $\beta$  が次式に従って変化する。

$$\beta(n) = K1 \cdot a_{11}(n) - K2 \cdot \beta(n-1) + \beta(n-1)$$

図15のリミッタ52は上記  $\beta(n)$  の式の  $K1 \cdot a_{11}(n) - K2 \cdot \beta(n-1)$  の大きさを  $fa$  及び  $-fa$

で制限する。図15の制御器46dにおいてリミッタ52が制限動作していない場合に、 $\beta$ がフィルタ定数の遅れを伴なって変化する。入力信号の周波数が規定変化速度以内で変化した場合、入力信号と正弦波信号の同期は保たれる必要があるが、このフィルタ遅れのため、 $a_{11}$  ( $\Delta f$ ) の変化が迅速に  $\beta$  に伝わらず、同期は保たれない。

【0043】そこで、本実施例の制御器46では図4及び図16に示すように図15のゲインK1、K2がそれぞれ1に設定されている。これにより、図16ではリミッタ52が動作していない時に  $a_{11} = \beta$  となり、周波数補正指令値  $a_{11}$  が周波数操作量  $\beta$  として遅れを伴なわないで出力する。

【0044】図17は同期引き込みのためにスイッチ50の接点aをオンにした時に入力周波数信号が出力周波数信号よりも高い場合の動作を示す。スイッチ50の接点aのオン時の両周波数信号の周波数差即ち周波数補正指令値  $a_{11}$  がリミッタ52の制限値  $f_a$  よりも大きい場合は、 $t_0 \sim t_1$ 、 $t_1 \sim t_2$ 、 $t_2 \sim t_3$  の1サンプリング周期  $T_s$  毎に  $f_a$  だけ周波数操作量  $\beta$  が変化する。即ち  $\beta(n) = f_a + \beta(n-1)$  の出力が得られる。リミッタ動作期間  $t_0 \sim t_3$  における各段の変化幅はそれぞれ  $f_a$  であるので、 $t_0 \sim t_3$  期間の包絡線は図9の理想特性と同様に直線になる。 $t_3$  以後のリミッタ非動作期間には補正指令値  $a_{11}$  が操作量  $\beta$  として直ちに出力される。

【0045】図18は例えば入力周波数がインバータ3の出力周波数よりも大幅に上昇したために制御器46のスイッチ50の接点aをオフにし、接点bをオンにした場合（同期引き外しの場合）の動作を示す。この場合には、 $t_0 \sim t_3$  のリミッタ動作期間に周波数操作量  $\beta$  が1サンプリング周期  $T_s$  毎に  $f_a$  低下し、 $\beta = -f_a + \beta(n-1)$  に従う出力が得られ、基準周波数発生器38、48で決定された基準周波数（自走周波数）に徐々に近づく。またリミッタ非動作期間には、 $\beta(n) = -\beta(n-1) + \beta(n-1)$  となり、 $\beta(n) = 0$  で引き外しが完了し、自走周波数状態になる。

【0046】周波数変化量に対するリミッタ制限値  $f_a$  は例えば次のように決定することができる。 $\beta$  が1の時の周波数変化量は、等価的に  $T_{se}/(Z-1)$  で示される積分器から成るアドレス回路49における計算周期  $T_{se}$  を  $256 \mu\text{sec}$ 、sinのデータ数を2048とした時、 $1/(2048 T_{se}) = 1.9073 \text{Hz}$  である。また、積分器5.3の計算周期  $T_s$  が  $20 \text{msec}$  の場合、 $\beta$  が1変化すると、その変化速度は  $(1.9073 \text{Hz})/20 \text{msec} = 95.365 \text{Hz/sec}$  となる。従って、周波数変化速度を  $0.5 \text{Hz/sec}$  したい場合、 $f_a$  を次のような値にする。

$$f_a = [\text{所望周波数変化量} / \{1 / (\sin \text{データ数} \cdot T_{se} \cdot T_s)\}] \cdot [0.5 / 95.365] = 52.450$$

$3 \times 10^{-3} \text{Hz/sec}$

【0047】図19は図3の同期判定回路12aをソフトウェアで構成する場合のステップを示す。まず、ステップ71に示すようにリミッタ52の入力の絶対値が制限値  $f_a$  以上か否かを判定する。ステップ71でYESの出力が得られたらステップ72でリミッタ52の出力が  $f_a$  に設定され、ステップ73で非同期を示す信号を作成し、図3のスイッチ4の切換えを禁止する。ステップ71の出力がNOの時にはステップ74で入力信号と出力信号との位相ずれを示す値即ち積分器43の出力  $b_1$  がある定められた許容値  $\Delta \phi_{11}$ 。よりも小さいか否かを判定し、小さいことを示すYESの出力が得られた時にはステップ55に示すように同期していることを示す信号を出力する。ステップ55の同期していることを示す信号は例えば図3のスイッチ4の切換許可信号として使用する。ステップ74で位相ずれが大きいことを示すNOの出力が得られた時にはステップ73で非同期を示す信号を発生させる。

【0048】上述から明らかなように本実施例は次の利点を有する。

(イ) 物理的意味が明確なリミッタ52の制限値  $f_a$  を計算で求めることができ、周波数引き込み及び引き外し時に出力周波数変化速度を正確に一定にすることができます。

(ロ) 周波数変化速度をリミッタ52の制限値  $f_a$  の変更で簡単に変えることができる。

(ハ) 乗算と加算と減算だけを使用しているので、ソフトウェアでの実現が簡単になる。

(二) エッジ検出器等が不要になるので、ノイズによる誤動作が少なくなる。

【0049】

【変形例】本発明は上述の実施例に限定されるものではなく、例えば次の変形が可能なものである。

(1) ディジタル処理で出力周波数信号を形成してD/A変換する代りに、図4の一部又は全部をアナログ回路にすることができる。

(2) 実施例では図4の各演算器は個々に設けないで、1台のマイクロコンピュータによって時分割処理しているが、これ等を個々に設けることもできる。

(3) 図2のインバータ制御回路13をディジタル回路で形成する場合は、図4のD/A変換器55を省くことができる。

【図面の簡単な説明】

【図1】従来の電源装置を示すブロック図である。

【図2】図1の同期化回路を示すブロック図である。

【図3】本発明の実施例に係わる電源装置を示すブロック図である。

【図4】図3の同期化回路を示すブロック図である。

【図5】図3の周波数異常判定回路を示すブロック図である。

【図6】入力信号と参照信号とが90度の位相差を有する場合のVs(t)、Vr(t)、V0(t)、a1をアナログ状態で示す波形図である。

【図7】入力信号と参照信号とが同相の場合のVs(t)、Vr(t)、V0(t)、a1をアナログ状態で示す波形図である。

【図8】入力信号と参照信号とが逆相の場合のVs(t)、Vr(t)、V0(t)、a1をアナログ状態で示す波形図である。

【図9】理想的な周波数操作量βの変化を示す図である。

【図10】スイッチのみの制御器を示す回路図である。

【図11】図10の制御器の出力を示す波形図である。

【図12】スイッチとフィルタの制御器を示すブロック図である。

【図13】図12の制御器の出力を示す波形図である。

【図14】図12のフィルタを変形した制御器を示すブロック図である。

【図15】図12のフィルタを変形した別の制御器を示すブロック図である。

【図16】実施例の制御器を示すブロック図である。

【図17】図16の制御器の出力を示す波形図である。

【図18】図16の制御器の別の状態の出力を示す波形図である。

10 【図19】図3の同期判定回路の動作を示す流れ図である。

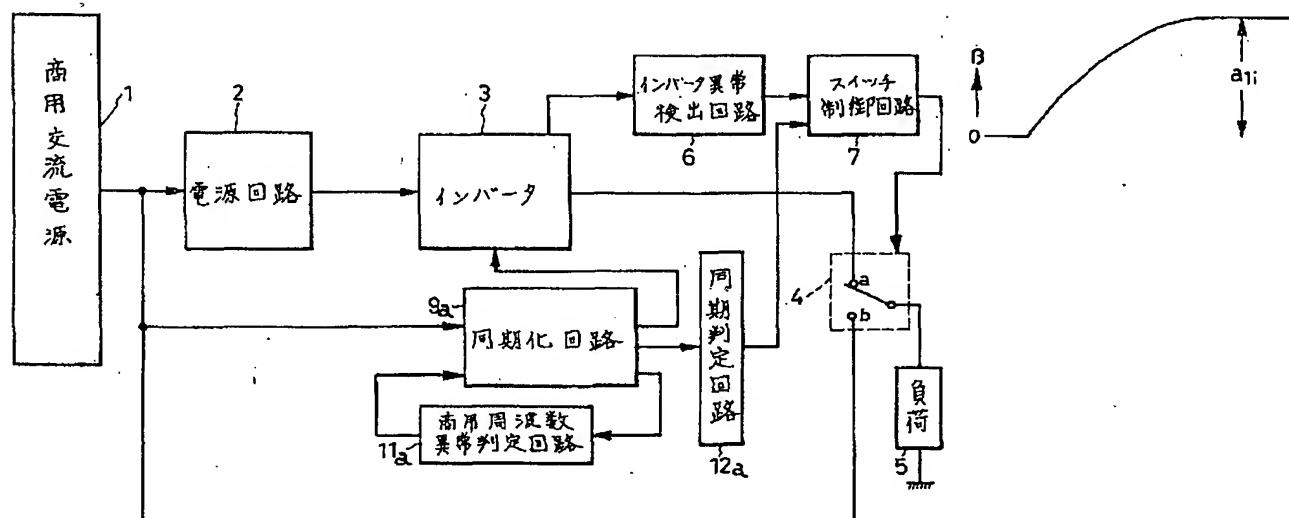
【符号の説明】

41 sinテーブルメモリ

46 引き込み及び引き外し制御器

52 リミッタ

【図3】

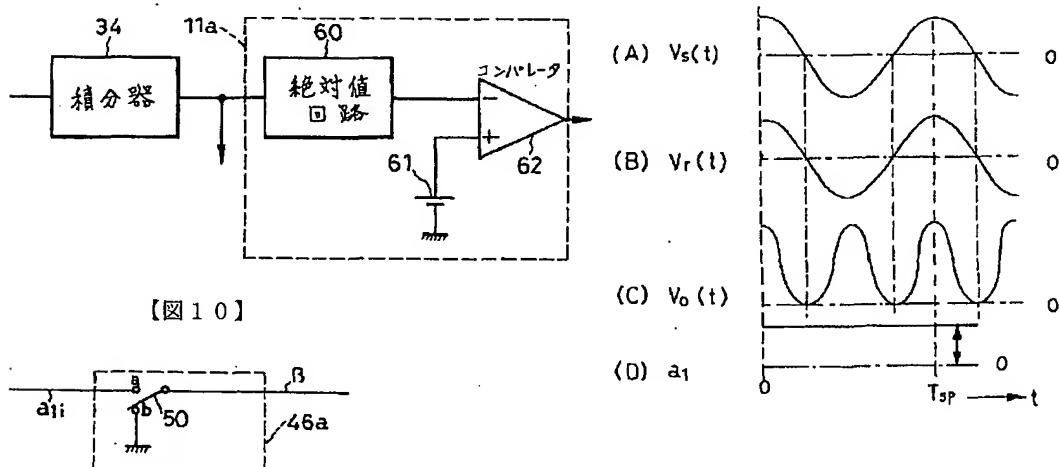


【図13】

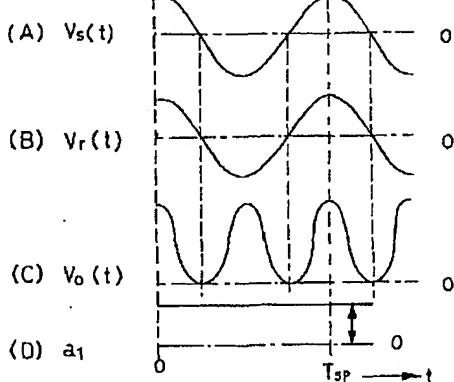
$a_{1i}$

【図5】

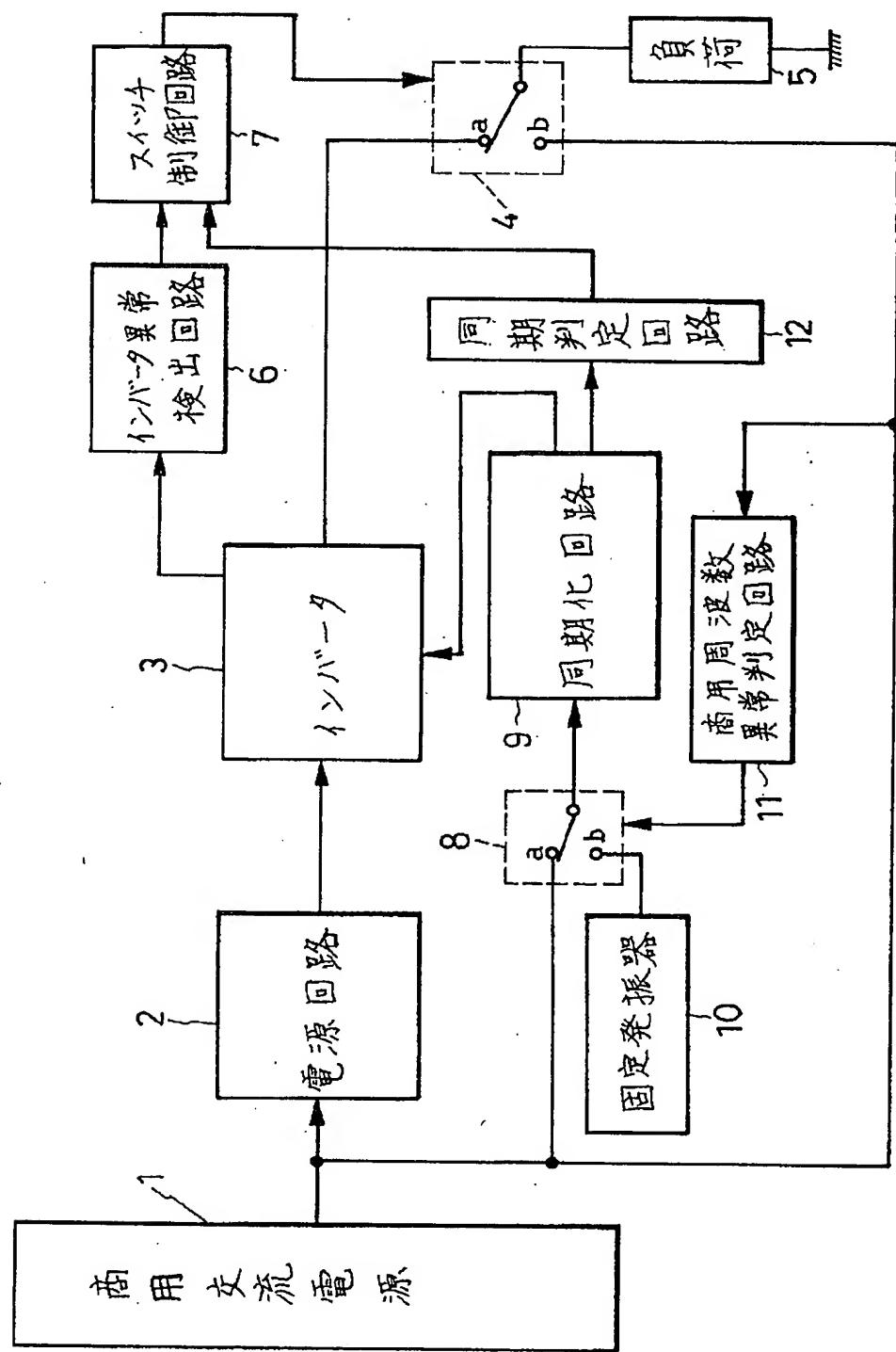
【図7】



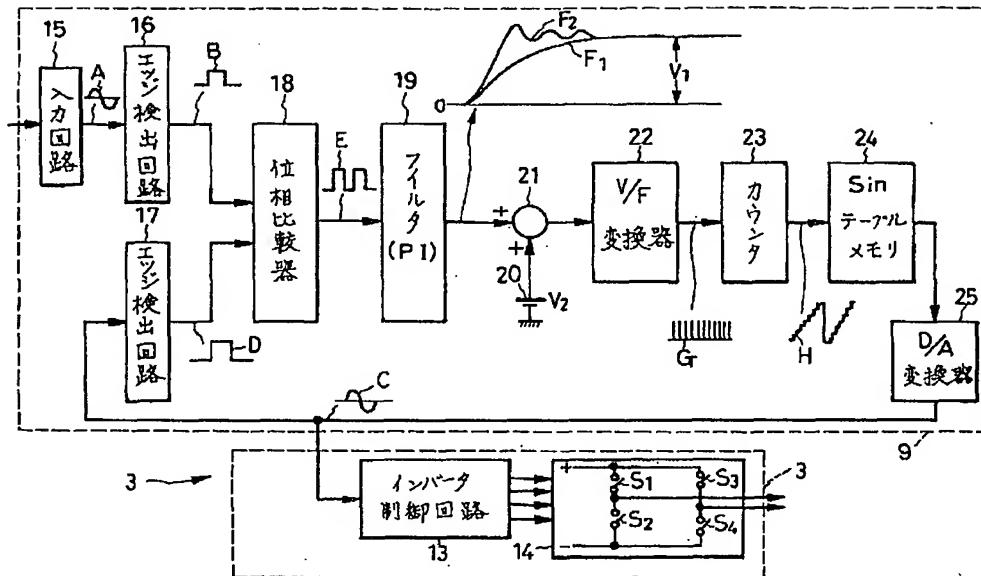
【図10】



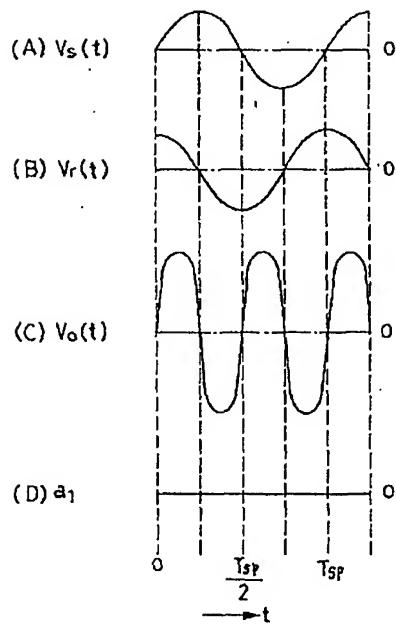
〔図1〕



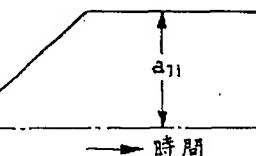
【図2】



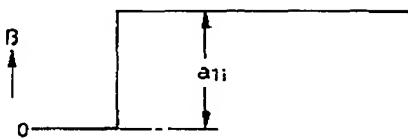
【図6】



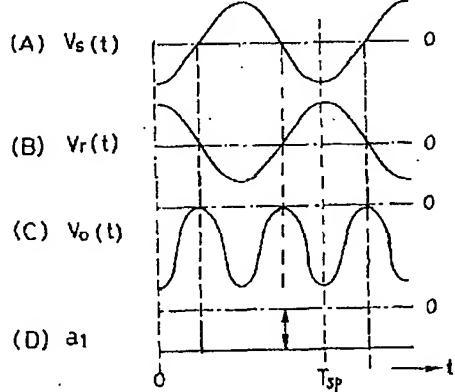
【図9】



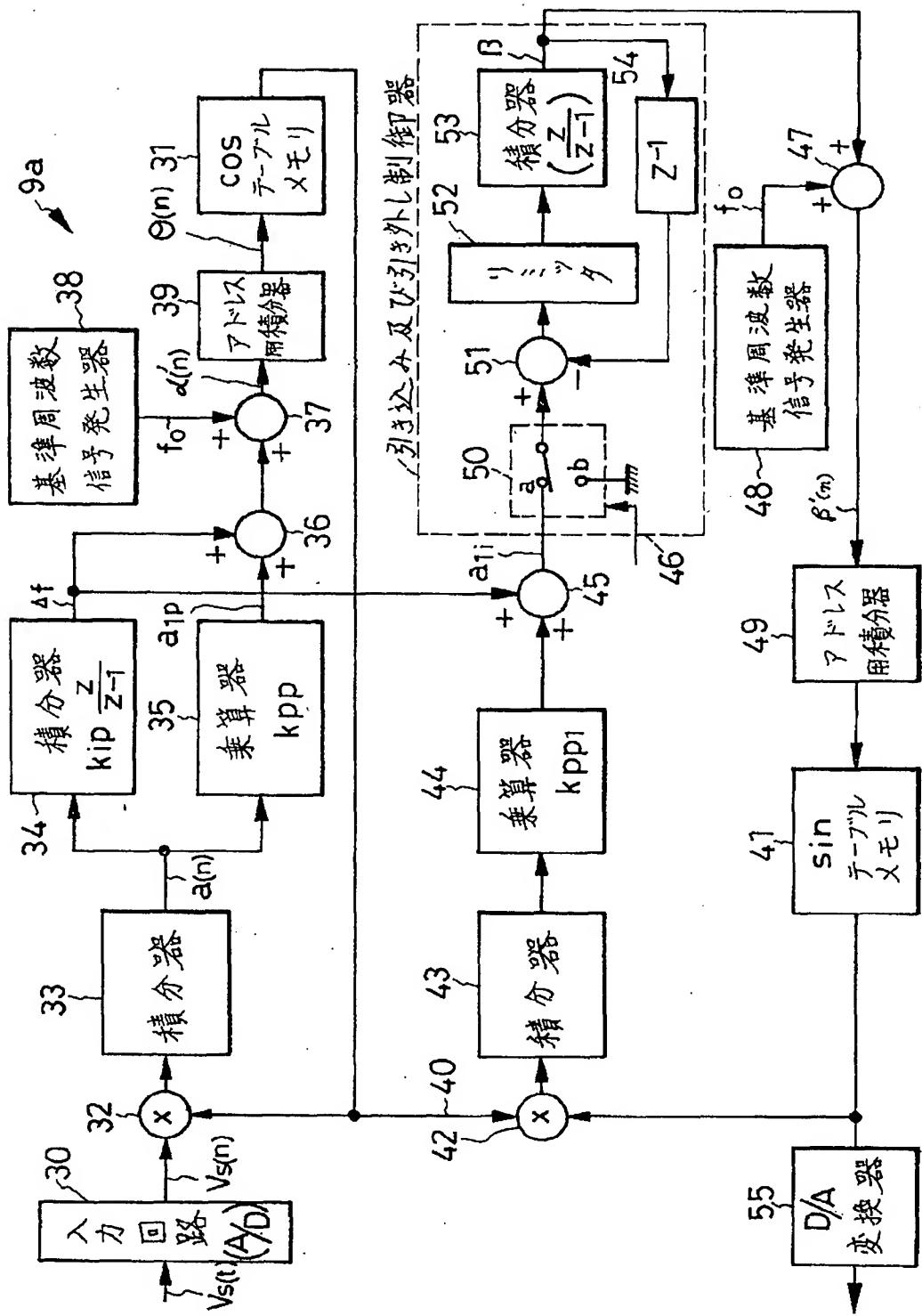
【図11】



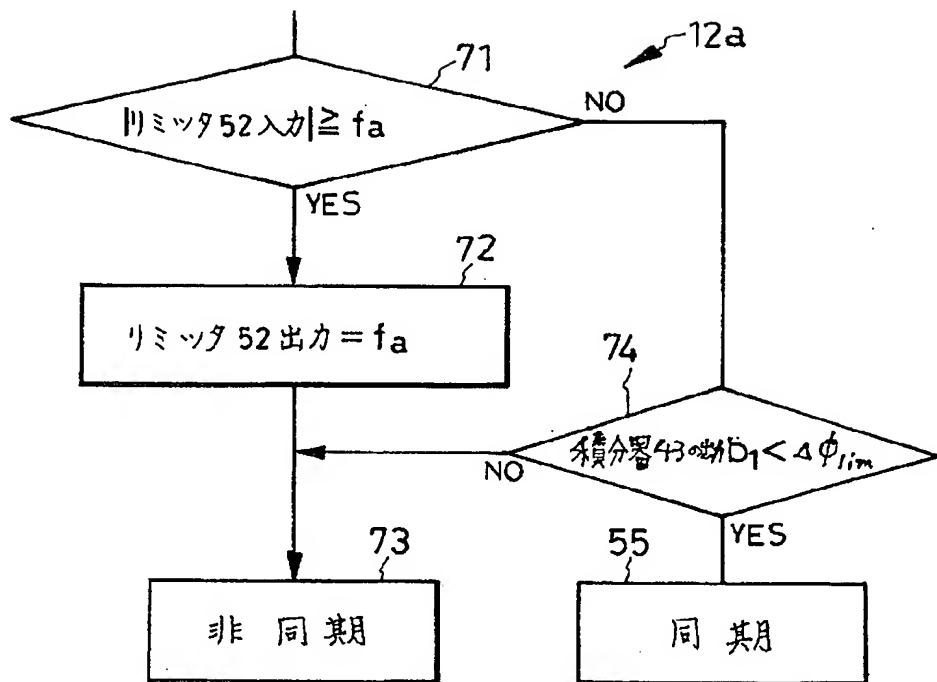
【図8】



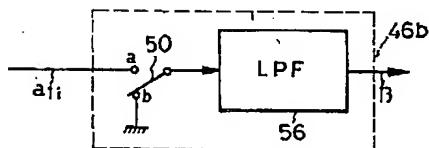
[図4]



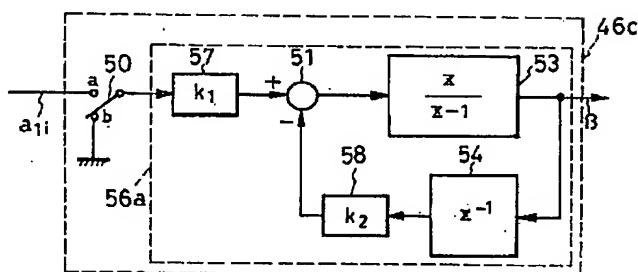
【図19】



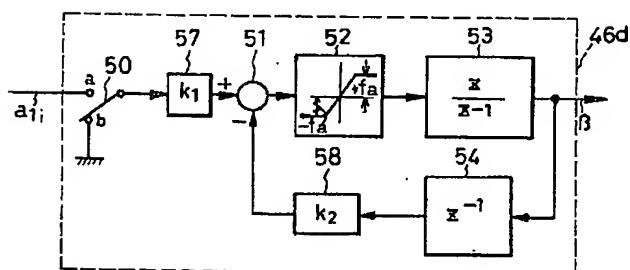
【図12】



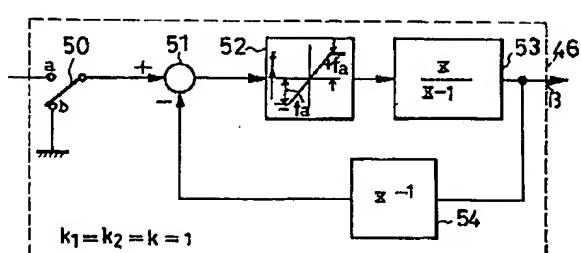
【図14】



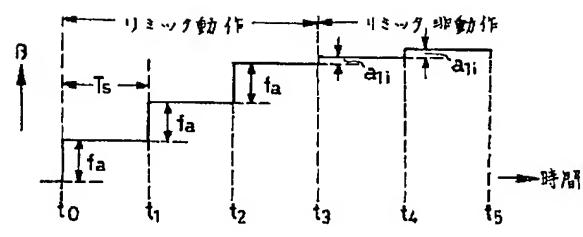
【図15】



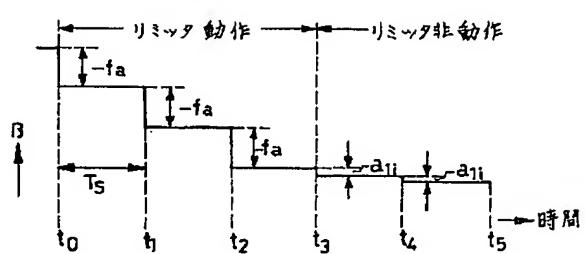
【図16】



【図17】



【図18】



フロントページの続き

(58) 調査した分野(Int.C1<sup>7</sup>, DB名)

H02M 7/48

H03L 7/14